

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-087986

(43)Date of publication of application : 12.04.1991

(51)Int.Cl.

G06G 7/18
G06F 7/544

(21)Application number : 01-226113

(71)Applicant : NEC ENG LTD

(22)Date of filing : 30.08.1989

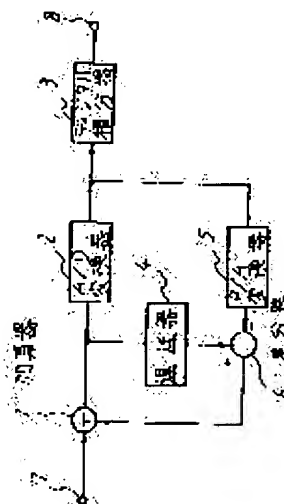
(72)Inventor : IMAEDA YOSHITERU

(54) INTEGRATOR

(57)Abstract:

PURPOSE: To minimize an error after integration by feeding back a sampling error part to an input.

CONSTITUTION: Instead of a noise generator in the conventional integrator, a delay device 4 provided on the output of an adder 1, a D/A converter 5 provided on the output of an A/D converter 2, and a differentiator 6 which substrates the output of the D/A converter from the output of the delay device 4 and inputs it to an adder 1, are provided. And, the delay device 4 has the delay time from the A/D converter 2 to the output of the D/A converter 5, only the difference error part of the sampling error at the A/D converter 2 is taken out by the differentiator 6, and is fed back through the adder 1 to the input. This, the error after the integration is made smaller, and the integration time is shortened to obtain the necessary accuracy.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-87986

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月12日

G 06 G 7/18
G 06 F 7/544E 6945-5B
A 7056-5B

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 積分器

⑮ 特 願 平1-226113

⑯ 出 願 平1(1989)3月30日

⑰ 発 明 者 今 枝 義 輝 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内

⑱ 出 願 人 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

〔従来の技術〕

従来、この種の積分器は、第2図に構成図を示すように、ノイズ発生器9と、ノイズ発生器9の出力と入力アナログ信号7とを加算する加算器1と、加算器1の出力をA/D変換するA/D変換器2と、A/D変換器2の出力を積分するデジタル積分器3とにより構成されている。

第2図において、入力アナログ信号7を x_n 、A/D変換器2の出力を X_n 、サンプリング誤差を Δx_n 、デジタル積分器3の出力を Z_n とすると、ノイズを入れない場合は

$$Z_n = \sum_{k=0}^{n-1} X_k = \sum_{k=0}^{n-1} x_k - \sum_{k=0}^{n-1} \Delta x_k$$

但し、 n は積分を始めるポイント、 b は積分時間、 x_n は自然数、 $X_n = x_n - \Delta x_n$ 、 $-0.5 < \Delta x_n < 0.5$ 、 X_n は整数。

となり、 $\sum_{k=0}^{n-1} \Delta x_k$ 分の誤差を持つ。サンプリング誤差は入力によっては可成り偏った値となり、積分器の出力により x_n の平均をとるときなどは、

1. 発明の名称

積分器

2. 特許請求の範囲

A/D変換器によりデジタル変換したデータをデジタル積分する積分器において、デジタル変換したデータを再度アナログ変換するD/A変換器と、このD/A変換器の出力信号とこの出力信号が前記A/D変換器への入力となったときの入力信号とから差分を検出する差分器と、この差分器の出力を前記A/D変換器の入力へフィードバックする加算器とを有することを特徴とする積分器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は積分器、特にアナログ信号をデジタル化して積分を行なう積分器に関する。

X_n に比べてあまり精度が上がらない。これは
 $|\lim_{N \rightarrow \infty} \sum_{n=1}^N \Delta x_n|$ が必ずしも1以下にはならないからである。

ノイズ N_n を入れると Δx_n は拡散されるので

$$Z_n = \sum_{n=1}^N X_n = \sum_{n=1}^N x_n - \sum_{n=1}^N N_n'$$

但し、 $N_n' = N_n + \Delta x_n - a$ 、 a は任意の整数、 $-0.5 < N_n' < 0.5$ 。

となる。この場合は $|\lim_{N \rightarrow \infty} \sum_{n=1}^N N_n'| < 1$ となるので積分時間 b を大きくとる、即ちサンプル数を大きくとれば

$$\frac{Z_n}{b} \approx \frac{\sum_{n=1}^N x_n}{b}$$

となり、精度を上げることができる。

〔発明が解決しようとする課題〕

上述した従来のA/D変換器を用いた積分器は、ノイズを加えてサンプル数を可成り大きくとらないと演算時の精度が上らないという欠点がある。

〔課題を解決するための手段〕

のみ取出され、加算器1を介して入力にフィードバックされる。

A/D変換器2で発生するサンプリング誤差を Δx_n 、入力アナログ信号 x を x_n とすると、加算器1の出力 x_n' は

$$x_n' = x_n + \Delta x_{n-1}$$

A/D変換器2の出力を $X_n = x_n' - \Delta x_n$ とすると(但し、 $-0.5 < \Delta x_n < 0.5$)、デジタル積分器3の出力 Z_n は

$$\begin{aligned} Z_n &= \sum_{n=1}^N X_n = \sum_{n=1}^N (x_n' - \Delta x_n) \\ &= \sum_{n=1}^N (x_n + \Delta x_{n-1} - \Delta x_n) \\ &= \sum_{n=1}^N x_n + (\Delta x_{n-1} - \Delta x_{n+1}) \end{aligned}$$

となる。ここで $-1 < \Delta x_{n-1} < \Delta x_{n+1} < 1$ である。従って、 Z_n はサンプル数に拘らず、常に誤差は1以下となるので最小限のサンプル数で最大限の精度を得ることができる。

〔発明の効果〕

以上説明したように本発明は、サンプリング誤

特開平3-87986(2)

本発明の積分器は、A/D変換器によりデジタル変換したデータをデジタル積分する積分器において、デジタル変換したデータを再度アナログ変換するD/A変換器と、このD/A変換器の出力信号とこの出力信号が前記A/D変換器への入力となったときの入力信号とから差分を検出する差分器と、この差分器の出力を前記A/D変換器の入力へフィードバックする加算器とを有することにより構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の構成図で、第2図の従来の積分器においてノイズ発生器9の代りに、加算器1の出力に設けた遅延器4と、A/D変換器2の出力に設けたD/A変換器5と、遅延器4の出力からD/A変換器5の出力を差引き加算器1に輸入する差分器6とが設けられている。遅延器4はA/D変換器2からD/A変換器5の出力までの遅延時間を有して、A/D変換器2で起きたサンプリング誤差は差分器6により誤差分

差を入力へフィードバックすることにより、積分した後の誤差を最小限にすることができる効果がある。また誤差を小さくできることにより、必要な精度を出すために積分時間を短かくできるという効果がある。

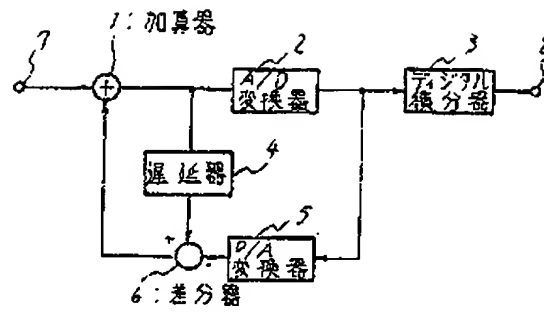
4. 図面の簡単な説明

第1図は本発明の一実施例の構成図、第2図は従来のA/D変換器を用いた積分器の構成図である。

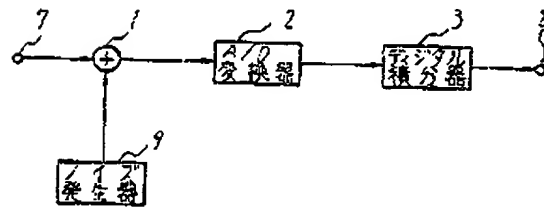
1……加算器、2……A/D変換器、3……デジタル積分器、4……遅延器、5……D/A変換器、6……差分器。

代理人 弁理士 内 原 晋

特開平3-87986(3)



第 1 図



第 2 図